

529, 164

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

Rec'd PCT/PTO

24 MAR 2005

(43) 国際公開日
2004年5月13日 (13.05.2004)

PCT

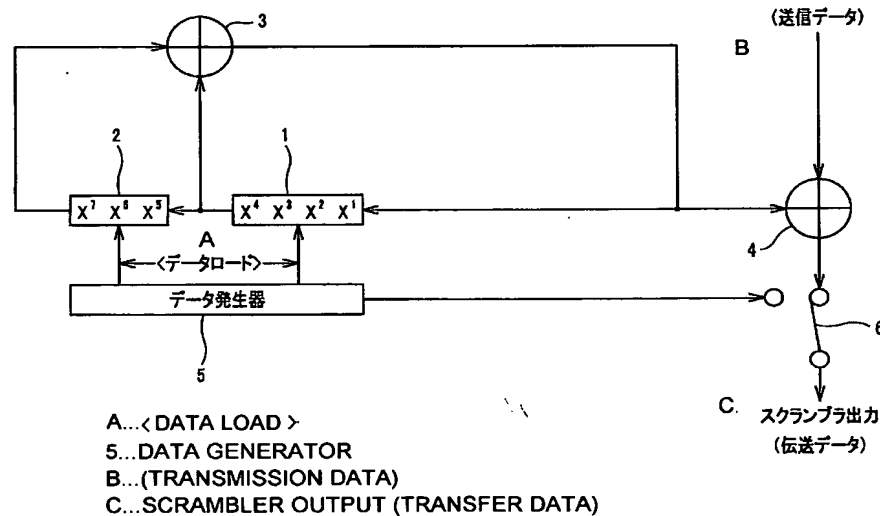
(10) 国際公開番号
WO 2004/040837 A1

- (51) 国際特許分類: H04L 9/18
- (21) 国際出願番号: PCT/JP2003/013436
- (22) 国際出願日: 2003年10月21日 (21.10.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2002-318579
2002年10月31日 (31.10.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 伊藤 鎮 (ITO, Osamu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 小池 晃, 外 (KOIKE, Akira et al.); 〒100-0011 東京都千代田区 内幸町一丁目1番7号 大和生命ビル 11階 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: DATA PROCESSING DEVICE AND DATA RECEPTION PROCESSING DEVICE

(54) 発明の名称: データ処理装置及びデータ受信処理装置



(57) Abstract: A data processing device for scrambling transmission data. The device includes: cyclic code generation means for generating a bit data string cyclic with a predetermined cycle; EXOR calculation means for successively EXOR-calculating the cyclic bit data string on the transmission data and outputting scrambled data; data generation means for generating bit data of a predetermined pattern; and selector means for receiving the scrambled data and the bit data of the predetermined pattern generated by the data generation means and selecting the bit data of the predetermined pattern when performing synchronization of the transmission data and the scrambled data when not performing synchronization of the transmission data so that they are output as scrambler output data.

(57) 要約: 本発明は、送信データをスクランブル処理するデータ処理装置であって、所定周期の巡回するビットデータ列を生成する巡回符号生成手段と、送信データに巡回ビットデータ列を順次EXOR演算してスクランブル処

[続葉有]

WO 2004/040837 A1



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

理済みデータを入力する EXOR 演算手段と、所定パターンのビットデータを生成するデータ発生手段と、スクランブル処理済みデータとデータ発生手段によって生成された所定パターンのビットデータとを入力し、送信データの同期処理時には所定のパターンのビットデータを選択し、送信データの同期処理をしない時にはスクランブル処理済みデータを選択し、スクランブラ出力データとして出力する切替手段とを備える。

明細書

データ処理装置及びデータ受信処理装置

技術分野

本発明は、送信データをスクランブル処理するデータ処理装置及び受信データをデスクランブル処理するデータ受信処理装置に関し、特に自己同期型のスクランブル方式及びデスクランブル方式を採用するデータ処理装置及びデータ受信処理装置に関する。

本出願は、日本国において2002年10月31日に出願された日本特許出願番号2002-318579を基礎として優先権を主張するものであり、この出願は参照することにより、本出願に援用される。

背景技術

伝送対象となるデータを暗号化し、あるいは耐妨害特性の向上等を図るため、伝送データにおいて同一のデータパターンが繰り返し発生することを防止すること等を目的として、伝送対象となるデータをスクランブル/デスクランブルする通信方式が、種々の通信システムにおいて広く採用されている。このスクランブル/デスクランブル方式を使用するためには、伝送対象となる任意のデータについて、送信装置においてスクランブルするために作用させるデータと受信装置においてデスクランブルするために作用させるデータとの整合を図ること、すなわち送信装置と受信装置との間において同期をとる必要がある。同期をとる方法としては、スクランブルパターン（デスクランブルパターン）を予め規定しておく方法や、スクランブルパターンを規定する情報を伝送データの所定の位置に配置して伝送する方法等が用いられている。

特に、伝送データ内に同一のデータパターンが繰り返し発生するのを防止するためにスクランブル/デスクランブル方式を使用する際には、スクランブルパタ

ーンとして汎用的なPN系列が用いられることが多い。

図1は、PN系列を出力するデータスクランブラの一例を示す図である。図1において、101は4ビットのシフトレジスタ、102は3ビットのシフトレジスタ、103はビットデータX7とビットデータX4とを入力してイクスクルーシブOR（以下、EXORと称する）演算を実施するモジュロ2の加算器、104は加算器103の出力データとスクランブル（デスクランブル）対象となるデータとを入力してEXOR演算を実施するモジュロ2の加算器である。また、加算器103の出力データはシフトレジスタ101へ入力され、シフトレジスタ101の出力データはシフトレジスタ102へ入力される。すなわち、シフトレジスタ101とシフトレジスタ102とから加算器103の出力データを逐次的にシフトする7ビットのシフトレジスタが構成される。このような構成を有することで、図1に示されるデータスクランブラは、127（ $2^7 - 1$ ）ビットの周期でランダムなビットデータ列を出力し、擬似乱数発生回路として動作する。

上述のようにPN系列を出力するデータスクランブラを用いて、スクランブル／デスクランブル方式を実施する際には、通常、送信装置に設けられるスクランブラ及び受信装置に設けられるデスクランブラとして基本的に同じ構成を有する図1のようなデータスクランブラを使用する。スクランブラとデスクランブラとを同一の構成とすることにより、スクランブルパターンを規定する情報を伝送データに含めることで送信装置と受信装置との同期をとる自己同期型通信システムを比較的容易に構築することが可能となる。例えば、ビットデータXと“0”とに係るEXOR演算値がビットデータX自体となることに鑑みて、スクランブラに対して所定のビット数連続して“0”を入力するとともに、スクランブラ出力データを逐次的にデスクランブラ内に設けられた所定のビット数のシフトレジスタへ出力するように通信システムを制御する。これにより、スクランブラを構成する所定のビット数のシフトレジスタとデスクランブラを構成する所定のビット数のシフトレジスタとには同じビットデータが逐次的に所定のビット数連続して入力されるから、スクランブラに所定のビット数連続して“0”が入力された後にはスクランブラのシフトレジスタとデスクランブラのシフトレジスタとには同じビットデータ列が記憶されることになり、送信装置と受信装置との間で同期が

とられる。

図 2 は、従来のデスクランブラの構成を示す図である。なお、図 2 において、図 1 と共通する構成要素には共通の符号を付して詳細な説明は省略する。

図 2 において、105 はデスクランブラに入力されるデータと加算器 103 からの出力データとを入力していずれか一方を選択的にシフトレジスタ 101 へ出力するスイッチである。このスイッチ 105 については、スクランブラに 7 ビット連続する“0”が入力されて当該データに対してスクランブル処理を実施することで得られたデータが伝送される間において、デスクランブラに入力される伝送データがシフトレジスタ 101 へ入力されるように切り換え制御を実施する。この際、スクランブラに入力された 7 ビットの“0”に対してそれぞれ得られるスクランブラの出力データすなわちスクランブラ内の加算器 103 の出力データがデスクランブラのシフトレジスタ 101 へ逐次的に入力される。これにより、7 ビット目の“0”に対するスクランブラの出力データがデスクランブラのシフトレジスタ 101 へ入力された時点で、スクランブラ内の 7 ビットのシフトレジスタに記憶されるビットデータ列と、デスクランブラ内の 7 ビットのシフトレジスタに記憶されるビットデータ列とが等しくなり、同期がとられる。その後、加算器 103 から出力されるデータがシフトレジスタ 101 へ入力されるようにスイッチ 105 を切り換える。同期がとられた後は、伝送対象となるデータに対して、スクランブラ及びデスクランブラにおいて、同一のスクランブルパターンが作用するので、スクランブル/デスクランブル方式を用いたデータ伝送が実施される。

ところで、無線 LAN のパケット送信等に係る標準化を実現するための規格として与えられている IEEE802.11 では、受信装置のデスクランブラを送信装置のスクランブラに同期させるために、パケットのヘッダ部において所定のビット数連続して“0”をスクランブラに入力する構成をとるべきことが規定されている。図 3 は、IEEE802.11 に規定されるフレーム構造を示す図である。図 3 において、“PCLP Preamble” フィールドはフレーム同期をとるために用いられ、“SIGNAL” フィールドは伝送速度や変調方式等を通知するために用いられ、“SERVICE” フィールドはデスクランブラをスクランブラに同期させるために用いられる。“SERV

ICE”フィールドにおいて、前半の7ビットから成る“Scrambler Initialization”はスクランブラとデスクランブラとの同期をとるためにすべて“0”の値をとる。また、後半の9ビットから成る“Reserved SERVICE Bits”については、将来の使用を見越して現在その使用が保留されている。IEEE802.11に準拠して生成されたフレームデータについては、図1に示されるようなスクランブラ及び図2に示されるようなデスクランブラを用いて、“Scrambler Initialization”に準じてデスクランブラへ入力される伝送データの出力切り換え等に係る各種制御を適宜実施することにより、スクランブラとデスクランブラとの同期を確立する。なお、PN系列を用いたスクランブル/デスクランブル方式に係る技術については、例えば特開平8-204613号公報に記載されるものがある。

上述したように、将来広範なカテゴリーの通信システムへの採用が予想されるIEEE802.11に準拠する通信システムでは、スクランブラとデスクランブラとの同期をとるために、フレーム内の所定の位置にて所定のビット数の“0”を連続して送信装置のスクランブラへ出力することが規定されている。この間においては、送信装置から受信装置へ、“0”に対してスクランブル処理することで得られるデータが伝送される。然るに、この送信装置から出力される同期用の伝送データは、通常のデータフィールドを用いて伝送されるデータと比較すると、フレーム上での位置が確定していることに基づいて種々の属性を付与し得る優位性を備えたデータであるにもかかわらず、同期を確立すること以外には使用することがないために、通信システムとしてデータの有効利用に欠けるという課題がある。

発明の開示

本発明の目的は、上述したような従来の技術が有する技術課題を解決することができる新規なデータ処理装置及びデータ受信処理装置を提供することにある。

本発明の他の目的は、例えばIEEE802.11に準拠するような汎用的な通信システムにおいて、伝送されるデータの有効利用を図ることができるデータ処理装置及びデータ受信処理装置を提供することにある。

上述のような目的を達成するために提案される本発明は、送信データをスクラ

ンブル処理するデータ処理装置であって、複数段のシフトレジスタと、このシフトレジスタの所定段の保持値と送信データとに基づいて所定の演算処理を行いスクランブル処理済みのデータを生成するとともに、スクランブル処理済みデータをシフトレジスタの入力段に順次入力する巡回演算処理回路とを有するスクランブル演算処理手段と、所定パターンのビットデータを生成するデータ発生手段と、スクランブル処理済みデータとデータ発生手段によって生成された所定パターンのビットデータとを入力し、送信データの同期処理時には所定パターンのビットデータを選択し、それ以外にはスクランブル処理済みデータを選択し、スクランブラ出力データとして出力する切替手段とを備える。

このデータ処理装置を構成するデータ発生手段は、送信データの同期処理の際に、所定パターンのビットデータをシフトレジスタにロードする構成とされている。

本発明に係る他のデータ処理装置は、送信データをスクランブル処理するデータ処理装置であって、所定周期の巡回するビットデータ列を生成する巡回符号生成手段と、送信データに巡回ビットデータ列を順次E X O R演算してスクランブル処理済みデータを出力するE X O R演算手段と、所定パターンのビットデータを生成するデータ発生手段と、スクランブル処理済みデータとデータ発生手段によって生成された所定パターンのビットデータとを入力し、送信データの同期処理時には上記所定のパターンのビットデータを選択し、それ以外には上記スクランブル処理済みデータを選択し、スクランブラ出力データとして出力する切替手段とを備える。

ここで、本発明に係るデータ処理装置に用いられる切替手段は、送信データの同期を取るために送信データに挿入された所定の同期パターンデータが送信データに挿入されている場合に、所定パターンのビットデータを選択してスクランブラ出力データとして出力する構成とされている。

また、データ発生手段は、予め所定の情報が割り当てられた所定パターンのビットデータを生成する構成とされている。

また、本発明は、受信データをデスクランブル処理するデータ受信処理装置であって、受信データから同期用の所定パターンのビットデータを検出する検出手

段と、複数段のシフトレジスタと、このシフトレジスタの所定段の保持値と受信データとに基づいて所定の演算処理を行いデスクランブル処理済みデータを出力するとともに、デスクランブル処理済みデータをシフトレジスタの入力段に順次入力する巡回演算処理回路とを有するデスクランブル演算処理手段とを備える。検出手段は、所定パターンのビットデータが検出された場合、所定パターンのビットデータをシフトレジスタにロードする。

このデータ受信処理装置に用いられる検出手段は、所定パターンのビットデータに予め割り当てられた情報と特定する構成とされている。

本発明の更に他の目的、本発明によって得られる具体的な利点は、以下において図面を参照して説明される実施の形態の説明から一層明らかにされるであろう。

図面の簡単な説明

図 1 は、P-N 系列を出力するデータスクランブラの一例を示すブロック図である。

図 2 は、従来のスクランブラの構成を示すブロック図である。

図 3 は、IEEE802.11 に規定されるフレーム構造を示す図である。

図 4 は、本発明が適用されたスクランブラの構成を示すブロック図である。

図 5 は、本発明が適用されたデスクランブラの構成を示すブロック図である。

図 6 は、本発明が適用されたスクランブラの変形例を示すブロック図である。

図 7 は、本発明が適用されたスクランブラの他の例を示すブロック図である。

図 8 は、本発明が適用されたスクランブラの更に他の例を示すブロック図である。

発明を実施するための最良の形態

以下、本発明の具体的な実施の形態を図面を参照して説明する。

まず、本発明が適用されたスクランブラを説明する。

本発明が適用されたスクランブラは、図 4 に示すような構成を備える。この図

4において、1は4ビットのシフトレジスタであり、2はシフトレジスタ1の出力部に入力部が接続される3ビットのシフトレジスタであり、3はシフトレジスタ1の出力データであるビットデータX4とシフトレジスタ2の出力データであるビットデータX7とを入力してE X O R演算を実施するモジュロ2の加算器である。そして、4は加算器3の出力データとスクランブラに入力される送信データとを入力してE X O R演算を実施する加算器であり、5はシフトレジスタ1及びシフトレジスタ2からなる7ビットのシフトレジスタへビットデータをパラレルに出力する複数のパラレル出力部及び別途にビットデータをシリアルに出力するシリアル出力部を有するデータ発生器であり、6は加算器4からの出力データとデータ発生器5からの出力データとを入力していずれか一方を選択的にスクランブラ出力データとして出力するスイッチである。加算器3の出力データは、シフトレジスタ1へも入力される。また、シフトレジスタ1、シフトレジスタ2及び加算器3から、所定の周期でランダムなビットデータ列を出力する乱数発生手段が構成される。

なお、以下の説明においては、スクランブラへ入力されるデータを「送信データ」と称し、スクランブラから出力されデスクランブラへ入力されるデータを「伝送データ」と称し、デスクランブラから出力されるデータを「受信データ」と称することで、これらデータを適宜識別するものとする。

図5は、本発明が適用されたデスクランブラの構成を示す図である。図5において、11は4ビットのシフトレジスタであり、12は3ビットのシフトレジスタであり、13はビットデータX4とビットデータX7とを入力してE X O R演算を実施するモジュロ2の加算器である。そして、14は加算器13からの出力データとデスクランブラへ入力される伝送データとを入力してE X O R演算を実施する加算器であり、15は加算器13からの出力データとデスクランブラへ入力される伝送データとのいずれか一方を選択的にシフトレジスタ11へ出力するスイッチである。なお、伝送データをデスクランブルすることなく取り出すために、伝送データを別途取り出す配線路が設けられる。また、シフトレジスタ11、シフトレジスタ12及び加算器13から、所定の周期でランダムなビットデータ列を出力する乱数発生手段が構成される。

次に、動作について説明する。本発明が適用された送信装置では、送信装置のスクランブラと受信装置のデスクランブラとの同期をとるために7ビット連続する“0”から成るデータすなわち“Scrambler Initialization”がスクランブラへ入力される際には、送信装置内のCPU（制御手段）を用いてスイッチ6の切り換え制御を実施して、データ発生器5からの出力データをスクランブラ出力データとして出力する。これにより、同期確立用の7ビットの送信データがスクランブラへ入力される間においては、データ発生器5からの出力データを同期確立用の伝送データとして伝送する。また、同期確立用の7ビットのデータ入力が完了した後に、データ発生器5からスイッチ6を介して伝送した7ビットのビットデータ列と同一のビットデータ列をシフトレジスタ1及びシフトレジスタ2へパラレルに出力して記憶させる。この際、スイッチ6を介して時系列に出力されたそれぞれのビットデータが順にビットデータX7～ビットデータX1となるようにビットデータ列を出力する。次に、加算器4からの出力データをスクランブラ出力データとして出力するようにスイッチ6の切り換え制御を実施する。上記のように動作させることにより、同期確立用の送信データの後にスクランブラへ入力される送信データについては、当該データに対してスクランブル処理を実施することで得られたデータを送信装置から伝送する。

本発明が適用された受信装置では、受信装置内のCPU（制御手段）を用いて同期確立用の7ビットの伝送データがデスクランブラへ入力される間において、伝送データがシフトレジスタ11へ入力されるようにスイッチ15の切り換え制御を実施する。この際、シフトレジスタ11及びシフトレジスタ12から成る7ビットのシフトレジスタへ同期確立用の7ビットの伝送データが逐次的に入力される。これにより、7ビット目の同期確立用のビットデータがシフトレジスタ11へ入力された時点で、スクランブラ内の7ビットのシフトレジスタに記憶されるビットデータ列と、デスクランブラ内の7ビットのシフトレジスタに記憶されるビットデータ列とが等しくなり、同期がとられる。次に、加算器13から出力されるデータがシフトレジスタ11へ入力されるようにスイッチ15の切り換え制御を実施する。同期がとられた後は、スクランブラ及びデスクランブラにおいて、それぞれ対応する送信データ及び伝送データに対して同一のスクランブルバ

ターンが作用するから、スクランブル／デスクランブル方式を用いたデータ伝送が実施される。また、同期確立用の7ビットの伝送データについては、スイッチ15を介してシフトレジスタ11へ出力するのみではなく、別途設けられた信号線を介して伝送データを取り出す。したがって、スクランブラ内のデータ発生器5から出力された同期確立用の伝送データを受信装置において取り出すことができるから、これをCPUにより解釈して例えば伝送特性等に係る情報を得ることが可能となる。同期確立用の伝送データとしては、7ビット全てが“0”となるデータ以外の任意のデータを用いることが可能であるから、データ発生器5から出力されるデータを同期確立以外の用途に容易に使用することができる。

以上のように、本発明が適用された通信装置は、シフトレジスタ1及びシフトレジスタ2からなる7ビットのシフトレジスタと、加算器3と、加算器4と、シフトレジスタにデータロード可能であるとともに別途シフトレジスタにロードしたビットデータ列と同一のビットデータ列を出力可能に構成されたデータ発生器5と、加算器4の出力データとデータ発生器5の出力データとのいずれか一方を選択的にスクランブラ出力データとして出力するスイッチ6とを有して構成されるスクランブラを用いて、同期確立用の送信データがスクランブラに入力される間において、データ発生器5からの出力データがスクランブラ出力データとして出力されるようにスイッチ6を切り換え制御するように構成したので、データ発生器5から出力されるデータを同期確立用の伝送データとして伝送するから、同期確立用のデータを同期確立以外の用途に用いることが可能となって、例えばIEEE802.11に準拠するような汎用的な通信システムにおいて伝送されるデータの有効利用を実現することができる。

また、本発明が適用された受信装置においては、同期確立用の伝送データを取り出すとともに、伝送特性等に係る情報を示すビットデータ列が同期確立用の伝送データに含まれていれば、これを解釈して情報を得るように構成したので、同期確立用のデータを同期確立以外の用途に用いることが可能となって、例えばIEEE802.11に準拠するような汎用的な通信システムにおいて伝送されるデータの有効利用を実現することができる。

なお、上述したスクランブラを有する送信装置については、データ発生器5か

ら出力される同期確立用の伝送データに対してはスクランブルを掛けないので、スクランブラへ入力される同期確立用の送信データとしては必ずしも所定のビット数“0”が連続するデータを用いる必要がなく、任意のビットパターンを有する同期確立用の送信データをスクランブラへ入力することができるから、IEEE802.11とは異なるフレームフォーマットを有する他の種々の規格に準拠する通信システムに適用することが可能である。また、実施の形態1においては、同期確立用に7ビット連続する“0”がスクランブラへ入力される間においてデータ発生器5からの出力データをスクランブラ出力データとして出力するように制御したが、送信装置内のスクランブラと受信装置内のデスクランブラとに同一のビットデータ列を記憶させてスクランブル/デスクランブルを開始する前の期間においてもデータ発生器5からの出力データを伝送するように制御することも可能である。

また、データ発生器5からの出力データに対してはスクランブルを掛けないので、有意な情報をそのまま伝送することも考えられるが、情報の漏洩防止等のために有意な情報に対して所定の方式に基づいた暗号化を実施することで得られるデータを伝送することも可能である。

更に、上述した例においては、シフトレジスタ1及びシフトレジスタ2から成るシフトレジスタを7ビットとしているが、これはIEEE802.11により規定されるフレームフォーマットの“Scrambler Initialization”が7ビットであることに対応したものであって、PN系列を発生するように構成されるのであれば、入力される送信データのフレームフォーマットに応じてシフトレジスタ1及びシフトレジスタ2のビット数を適宜選定することが可能である。さらに、実施の形態1においては、2個のシフトレジスタ1、2と1個の加算器3とを用いてPN系列を発生する回路を構成しているが、所定の周期でランダムなビットデータ列を出力する機能を奏する他の種々の形態の回路構成を採ることが可能である。

図6は、本発明に係る上述したスクランブラの変形例を示す図である。図6において、図4に示すと共通する構成については、同一のを符号を付して詳細な説明は省略する。

図6において、21はビットデータをシリアルに出力するシリアル出力部を有

するデータ発生器であり、22は加算器3からの出力データとデータ発生器21からの出力データとのいずれか一方を入力して選択的にシフトレジスタ1へ出力するスイッチである。

次に、図6に示すスクランブラの動作について説明する。本発明が適用された送信装置では、スクランブラとデスクランブラとの同期をとるための“Scrambler Initialization”がスクランブラへ入力される間においては、送信装置内のCPUによりスイッチ6及びスイッチ22の切り換え制御を実施して、データ発生器21からの出力データをスクランブラ出力データとして出力するとともにシフトレジスタ1へ出力する。これにより、データ発生器21からの出力データが逐次的にシフトレジスタ1へ入力されるとともに送信装置から伝送される。次に、送信装置内のCPU6により、スイッチ6の切り換え制御を実施して加算器4からの出力データをスクランブラ出力データとして出力するとともに、スイッチ22の切り換え制御を実施して加算器3からの出力データをシフトレジスタ1へ出力する。これにより、“Scrambler Initialization”の後にスクランブラへ入力されるデータについては、当該データに対してスクランブル処理することで得られたデータを送信装置から伝送する。なお、受信装置の動作については、上述した例と同様であるのでその説明を参照して詳細な説明は省略する。

この図6に示すスクランブラを用いることで、上述した図4に示すスクランブラと同等の効果を奏するとともに、データ発生器21からのシリアル出力データと加算器3からの出力データとを入力していずれか一方をシフトレジスタ1へ選択的に出力するスイッチ22を備えるように構成したので、データ発生器21にはビットデータをシリアルに出力する出力部を1つ設ければよく、簡易な構成を有するデータ発生器を用いることでスクランブラ全体の回路構成を簡略化することができる。

次に、本発明の他の例のスクランブラを図7を参照して説明する。

図7において、図4に示す例と共通する部分には共通の符号を付して詳細な説明は省略する。

図7において、31はシフトレジスタ1及びシフトレジスタ2から成る7ビットのシフトレジスタに対してビットデータをパラレルに出力する複数のパラレル

出力部を有するデータ発生器である。なお、図 7 に示されるスクランブラは、図 4 に示されるスクランブラと比較するとデータ発生器 31 からの出力データをスクランブラ出力データとして出力するためのスイッチ 6 が省略されている。また、デスクランブラについては、上述したデスクランブラと同じものを使用するので、その説明を省略する。

次に、動作について説明する。本発明が適用された送信装置では、スクランブラとデスクランブラとの同期をとるための “Scrambler Initialization” がスクランブラへ入力される前に、送信装置内の CPU による制御に基づいて、データ発生器 31 からシフトレジスタ 1 及びシフトレジスタ 2 へビットデータ列をパラレルに出力して、当該ビットデータ列をシフトレジスタ 1 及びシフトレジスタ 2 に初期データとして記憶させる。“Scrambler Initialization” がスクランブラへ入力される間においては、加算器 4 は送信データとして与えられる “0” と加算器 3 の出力データとの EXOR 演算を実施して、演算データを逐次的に出力する。EXOR 演算の対象となる一方のビットデータが “0” であることで、この演算データは加算器 3 からの出力データに等しくなる。

この例のスクランブラは、上述のように動作するので、例えば参照テーブルを用いて、7 ビットの伝送データが所望のビットデータ列となるように初期データを設定することで、スクランブラから出力される同期確立用の伝送データを同期確立以外の用途に使用することが可能となる。なお、受信装置内のデスクランブラの動作については上述した例と同様であるので、その説明を省略する。

以上のように、本発明の他の例の送信装置は、シフトレジスタ 1 及びシフトレジスタ 2 から成る 7 ビットのシフトレジスタと、加算器 3 と、加算器 4 と、シフトレジスタにデータロード可能に構成されたデータ発生器 31 とを有して構成されるスクランブラを用いて、同期確立用の送信データがスクランブラへ入力される前に、データ発生器 31 からビットデータ列を出力して、当該ビットデータ列をシフトレジスタ 1 及びシフトレジスタ 2 に記憶させるように制御するので、加算器 3 から出力される 7 ビットのデータが所望の伝送データとなるようにデータ発生器 31 からシフトレジスタ 1 及びシフトレジスタ 2 へ出力される初期データを適宜設定することで、同期確立用の伝送データを同期確立以外の用途に用いる

ことが可能となる。したがって、例えばIEEE802.11に準拠するような汎用的な通信システムにおいて、伝送されるデータの有効利用を実現することができる。なお、上述した例と同様に、PN系列を発生する回路については、種々の形態をとることができる。

次に、本発明に係るスクランブラの更に他の例を説明する。このスクランブラは、図8に示すような構成を備えるものであって、前述した図4に示すスクランブラと共通する部分には、同一の符号を付して詳細な説明は省略する、

図8において、41はビットデータをシリアルに出力するシリアル出力部を有するデータ発生器であり、42は加算器3からの出力データとデータ発生器41からの出力データとを入力していずれか一方を選択的にシフトレジスタ1及び加算器4へ出力するスイッチである。なお、デスクランブラについては、前述したデスクランブラと同じものを使用するので、その説明は省略する。

次に、動作について説明する。本発明が適用された送信装置では、スクランブラとデスクランブラとの同期をとるための“Scrambler Initialization”がスクランブラへ入力される間において、送信装置内のCPUによりスイッチ42の切り換え制御を実施して、データ発生器41からの出力データをシフトレジスタ1及び加算器4へ出力する。これにより、データ発生器41から出力されるビットデータ列がシフトレジスタ1及びシフトレジスタ2から成る7ビットのシフトレジスタへ入力されるとともに、上述したようにビットデータXと“0”とのEXOR演算値はビットデータXとなることに基づいて当該ビットデータ列がスクランブラから伝送されて受信装置内の7ビットのシフトレジスタへ入力される。

以上のように、本発明に更に他の例の送信装置においても、シフトレジスタ1及びシフトレジスタ2から成る7ビットのシフトレジスタと、加算器3と、加算器4と、ビットデータをシリアルに出力するデータ発生器41と、加算器3からの出力データとデータ発生器41からの出力データとを切り換えるスイッチ42とを有して構成されるスクランブラを用いて、同期確立用の送信データがスクランブラへ入力される間において、データ発生器41からの出力データがシフトレジスタ1及び加算器4へ入力されるようにスイッチ42の切り換え制御を実施するので、データ発生器41からの出力データを同期確立用の伝送データとして伝

送するから、同期確立用のデータを同期確立以外の用途に用いることが可能となつて、例えばIEEE802.11に準拠するような汎用的な通信システムにおいて伝送されるデータの有効利用を実現することができるという効果を奏する。

なお、本例においても、前述した例のスクランブラと同様に、PN系列を発生する回路については、種々の形態をとることができる。

上述した本発明が適用された各スクランブラ、送信装置及び受信装置は、本発明を限定するものではなく、本発明の趣旨を逸脱することなく、様々な変更、置換又はその同等のものを行うことができる。

産業上の利用可能性

本発明に係るデータ処理装置は、スクランブル処理済みデータとデータ発生手段によって生成された所定パターンのビットデータとを入力し、送信データの同期処理時には所定パターンのビットデータを選択し、それ以外にはスクランブル処理済みデータを選択し、スクランブラ出力データとして出力するようにしているので、スクランブル処理される送信データのビットパターンに影響されることなくデータ発生手段から出力されるデータを同期確立用の伝送データとして伝送できるから、同期確立用のデータを同期確立以外の用途に用いることが可能となつて、フレーム内の所定の位置で同期確立用のデータがスクランブル処理されることが規定されたデータ伝送フォーマットを有する汎用的な通信システムにおいて、伝送されるデータの有効利用を実現することができる。

また、本発明に係るデータ受信処理装置は、受信データから同期用の所定パターンのビットデータが検出された場合、この所定パターンのビットデータをシフトレジスタにロードするようにしているので、同期確立用のデータを同期確立以外の用途に用いることが可能となつて、フレーム内の所定の位置で同期確立用のデータがデスクランブラへ入力されることが規定されたデータ伝送フォーマットを有する汎用的な通信システムにおいて、伝送されるデータの有効利用を実現することができる。

請求の範囲

1. 送信データをスクランブル処理するデータ処理装置であって、

複数段のシフトレジスタと、該シフトレジスタの所定段の保持値と上記送信データとに基づいて所定の演算処理を行いスクランブル処理済みのデータを生成するとともに、該スクランブル処理済みデータを上記シフトレジスタの入力段に順次入力する巡回演算処理回路とを有する、スクランブル演算処理手段と、

所定パターンのビットデータを生成するデータ発生手段と、

上記スクランブル処理済みデータと上記データ発生手段によって生成された所定パターンのビットデータとを入力し、送信データの同期処理時には上記所定パターンのビットデータを選択し、送信データの同期処理をしない時には上記スクランブル処理済みデータを選択し、スクランブラ出力データとして出力する切替手段と、

を備えたことを特徴とするデータ処理装置。

2. 上記データ発生手段は、送信データの同期処理時の際に、上記所定パターンのビットデータを上記シフトレジスタにロードする構成とされたことを特徴とする請求の範囲第1項記載のデータ処理装置。

3. 上記切替手段は、上記送信データの同期を取るために上記送信データに挿入された所定の同期パターンデータが上記送信データに挿入されている場合に、上記所定パターンのビットデータを選択してスクランブラ出力データとして出力する構成とされたことを特徴とする請求の範囲第1項又は第2項記載のデータ処理装置。

4. 上記データ発生手段は、予め所定の情報が割り当てられた所定パターンのビットデータを生成する構成とされたことを特徴とする請求の範囲第1項記載のデータ処理装置。

5. 送信データをスクランブル処理するデータ処理装置であって、

所定周期の巡回するビットデータ列を生成する巡回符号生成手段と、

上記送信データに上記巡回ビットデータ列を順次E X O R演算してスクランブル処理済みデータを出力するE X O R演算手段と、

所定パターンのビットデータを生成するデータ発生手段と、

上記スクランブル処理済みデータと上記データ発生手段によって生成された所定パターンのビットデータとを入力し、送信データの同期処理時には上記所定のパターンのビットデータを選択し、送信データの同期処理をしない時には上記スクランブル処理済みデータを選択し、スクランブラ出力データとして出力する切替手段と、

を備えたことを特徴とするデータ処理装置。

6. 上記切替手段は、上記送信データの同期を取るために上記送信データに挿入された所定の同期パターンデータが上記送信データに挿入されている場合に、上記所定パターンのビットデータを選択してスクランブラ出力データとして出力する構成とされたことを特徴とする請求の範囲第5項記載のデータ処理装置。

7. 上記データ発生手段は、予め所定の情報が割り当てられた所定パターンのビットデータを生成する構成とされたことを特徴とする請求の範囲第5項記載のデータ処理装置。

8. 受信データをデスクランブル処理するデータ受信処理装置であって、

上記受信データから同期用の所定パターンのビットデータを検出する検出手段と、

複数段のシフトレジスタと、該シフトレジスタの所定段の保持値と上記受信データとに基づいて所定の演算処理を行いデスクランブル処理済みデータを出力するとともに、該デスクランブル処理済みデータを上記シフトレジスタの入力段に順次入力する巡回演算処理回路とを有するデスクランブル演算処理手段とを備え、

上記検出手段は、上記所定パターンのビットデータが検出された場合、該所定パターンのビットデータを上記シフトレジスタにロードする構成とされたことを特徴とするデータ受信処理装置。

9. 上記検出手段は、所定パターンのビットデータに予め割り当てられた情報と特定する構成とされたことを特徴とする請求の範囲第8項記載のデータ受信処理装置。

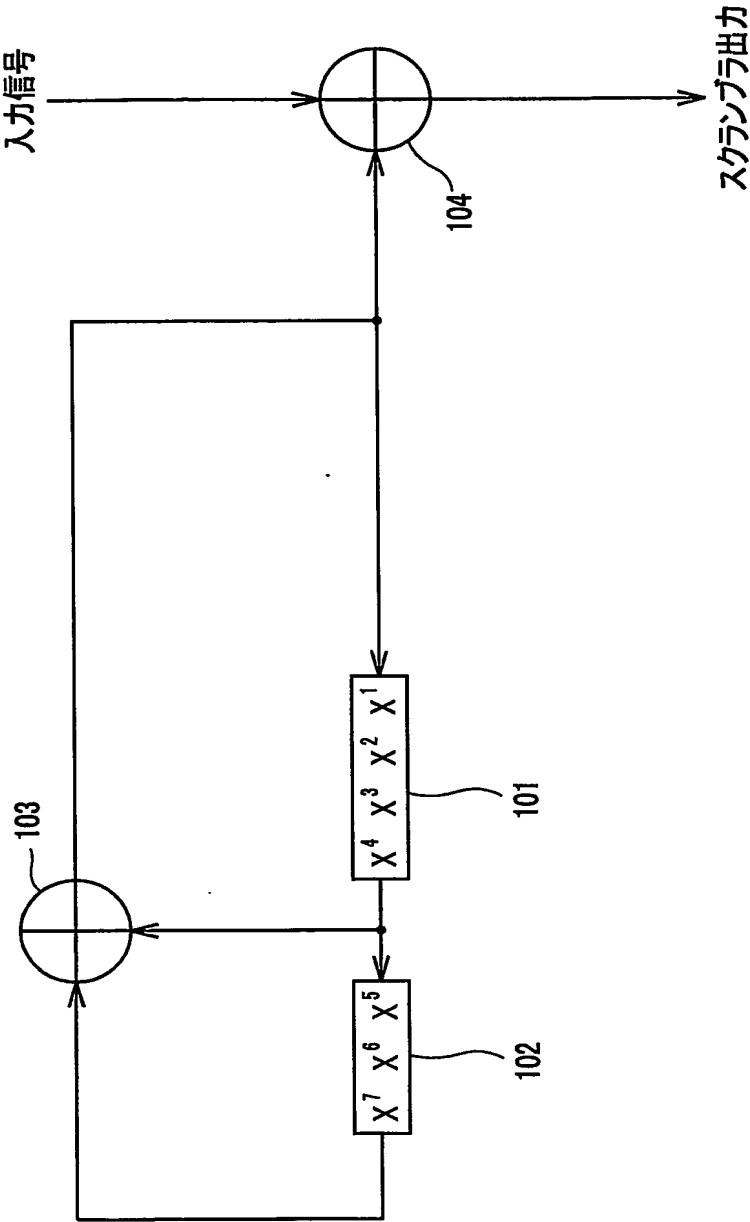


FIG.1

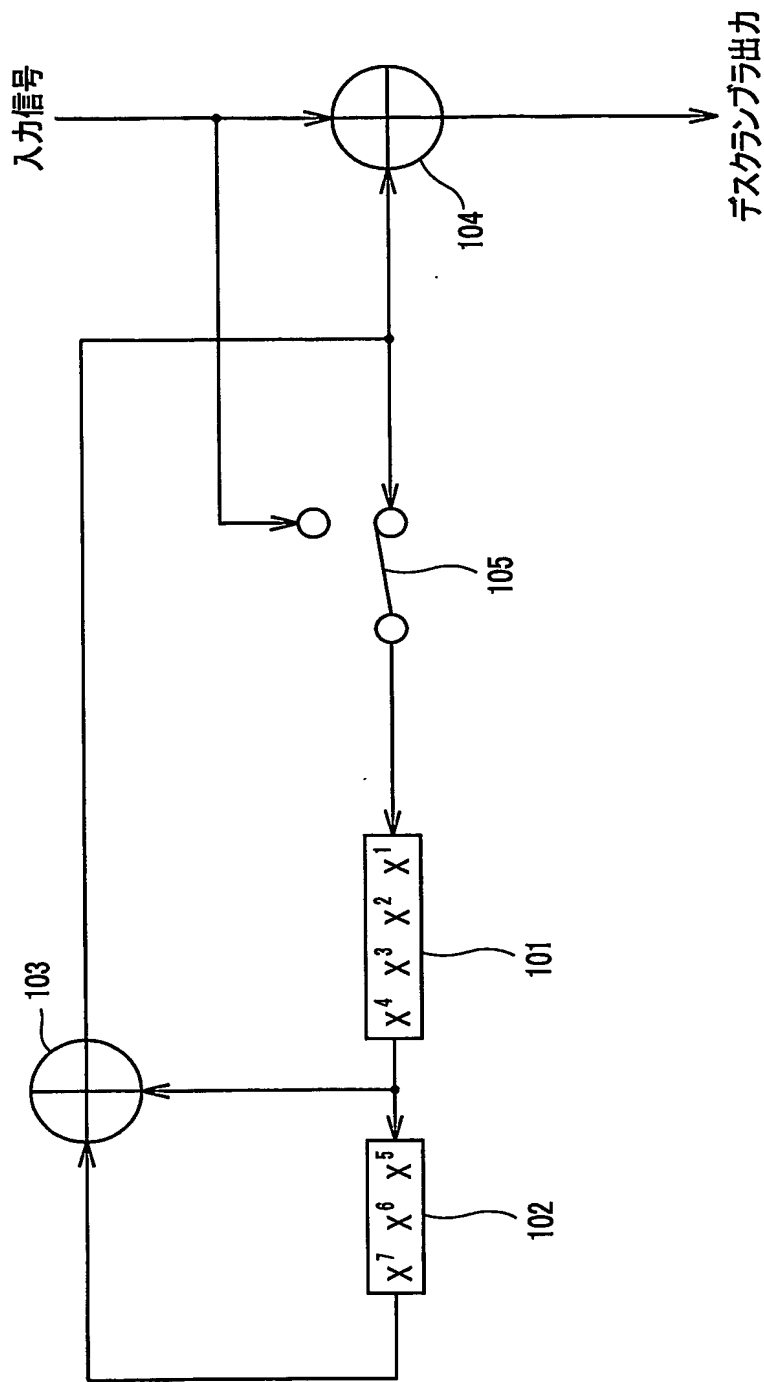


FIG.2

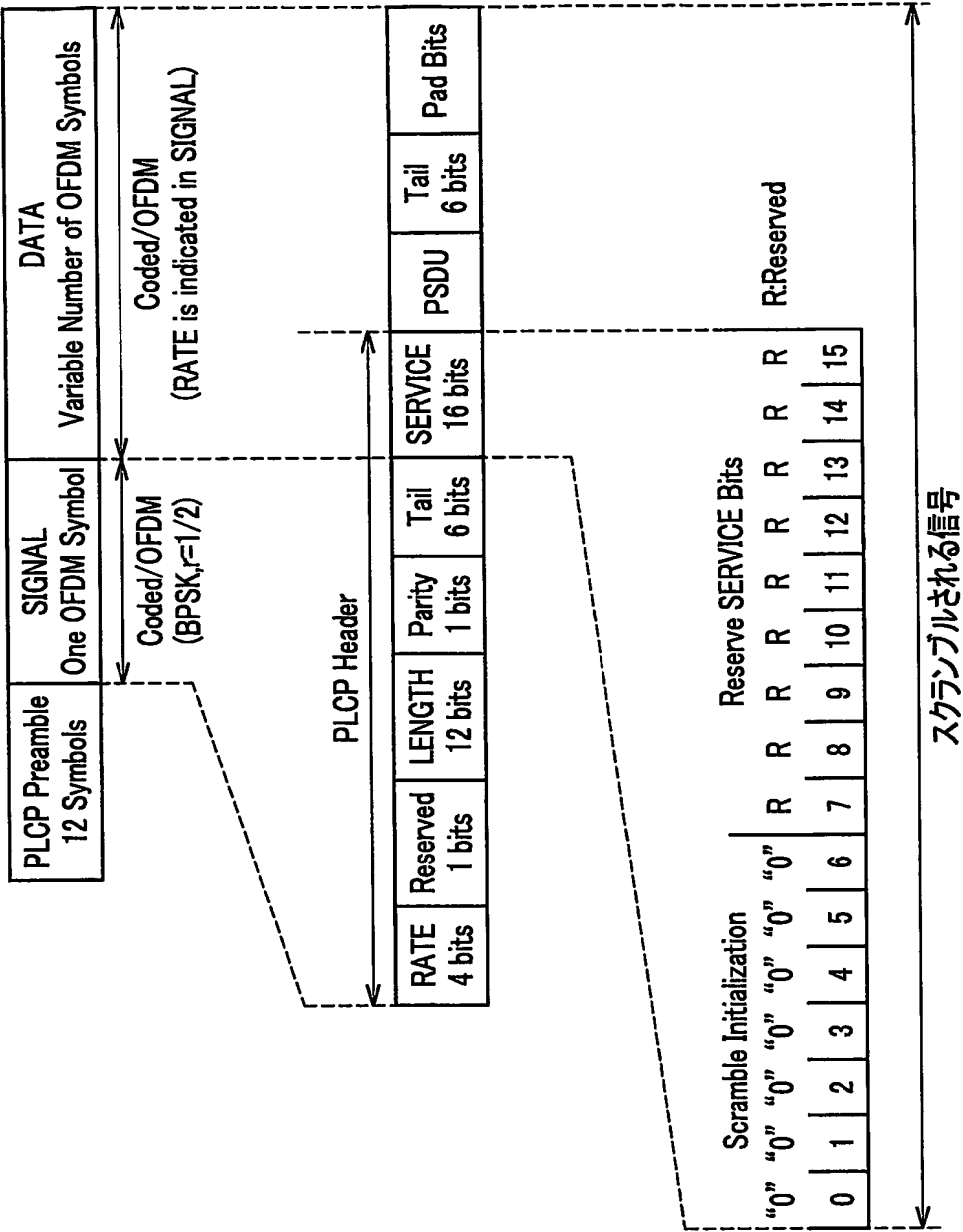


FIG.3

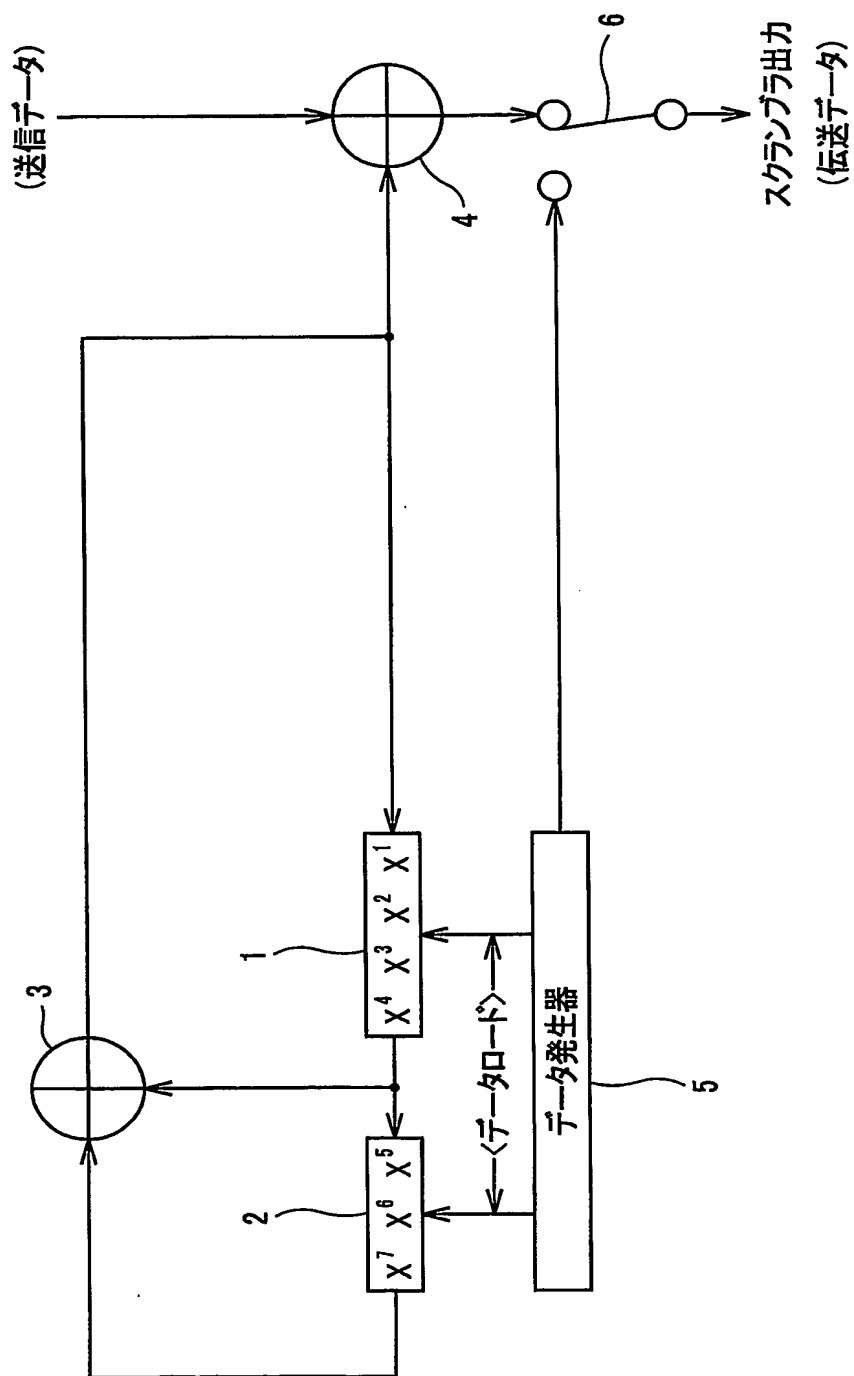


FIG. 4

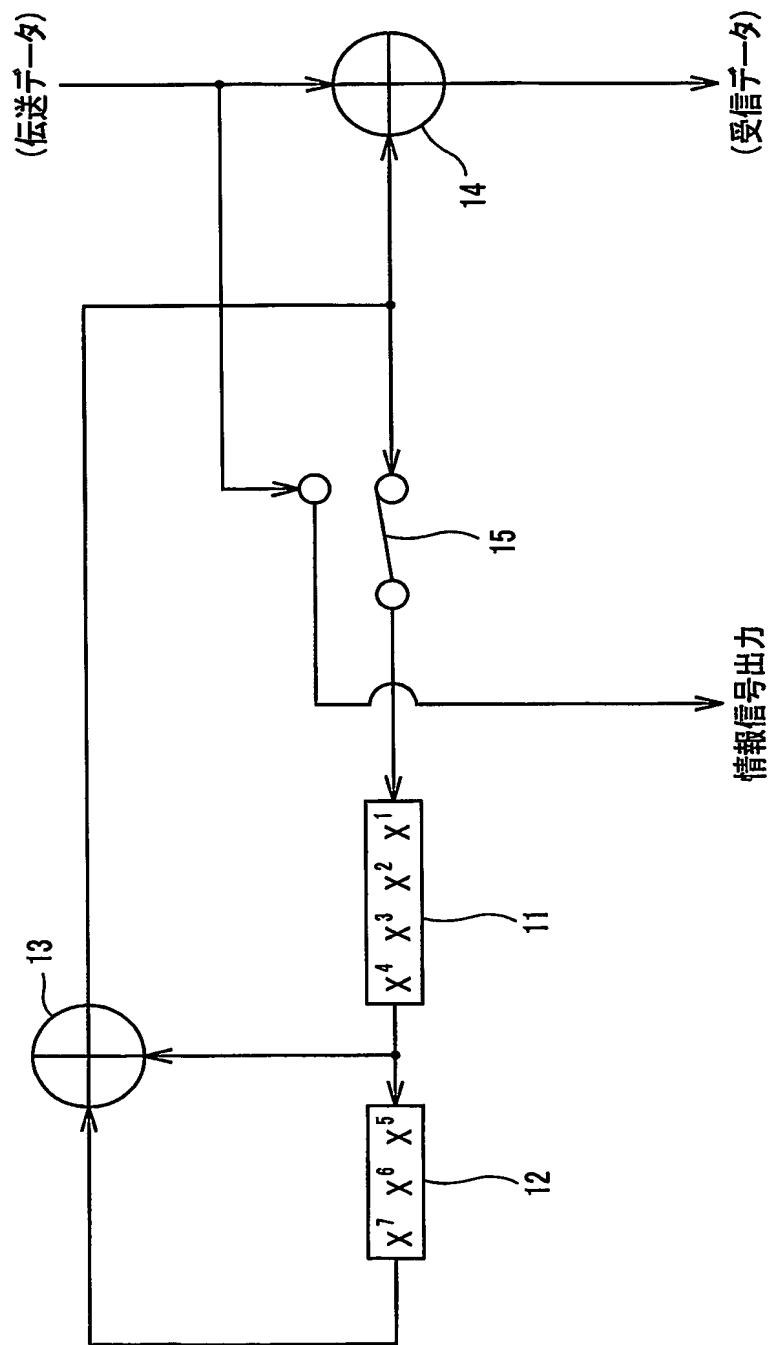


FIG.5

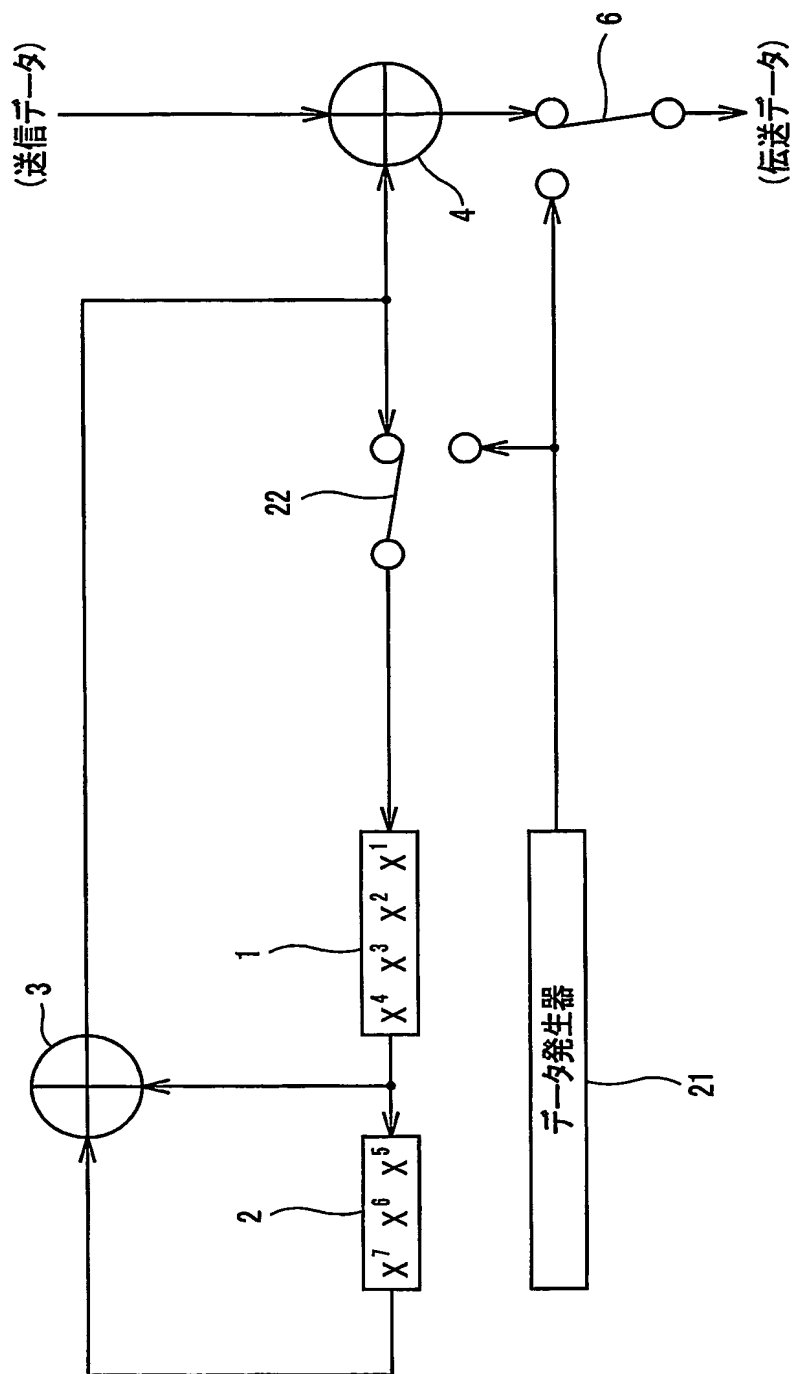


FIG.6

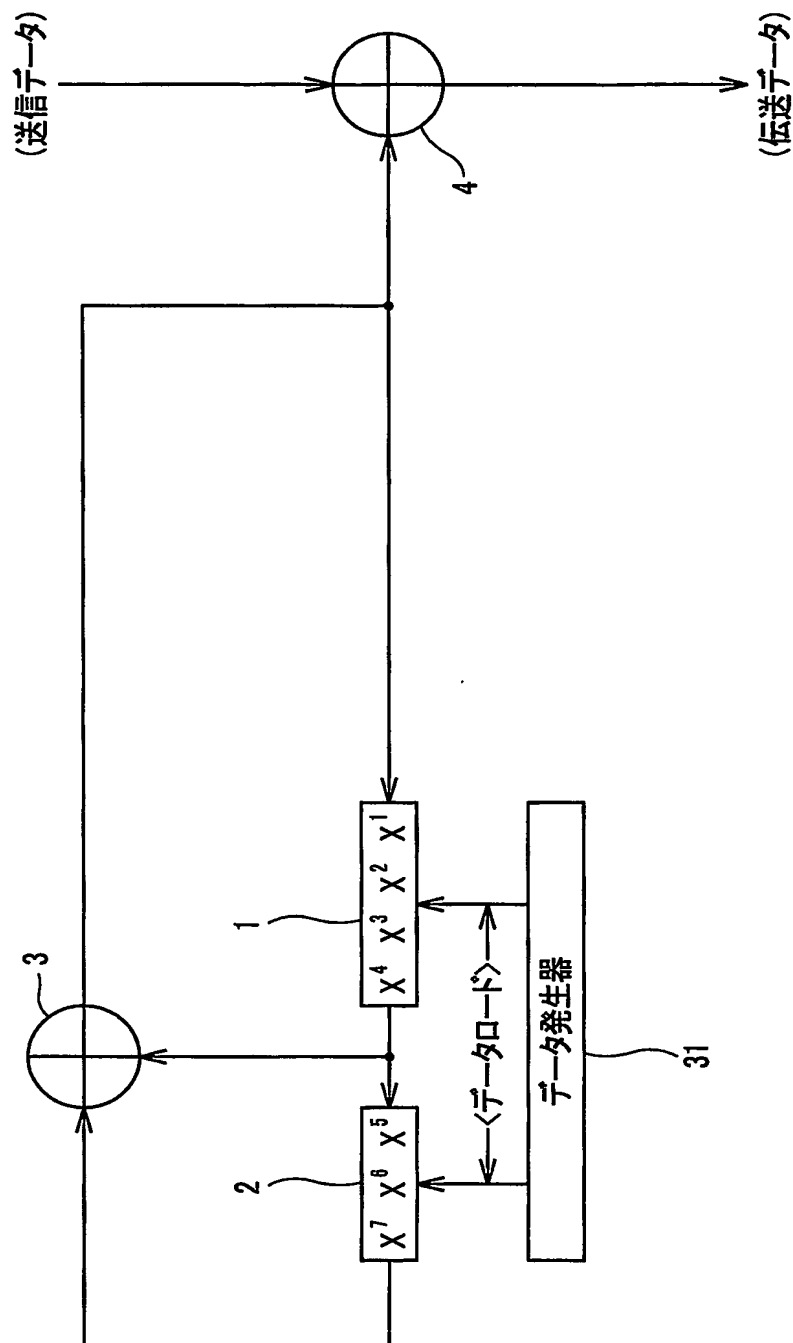


FIG.7

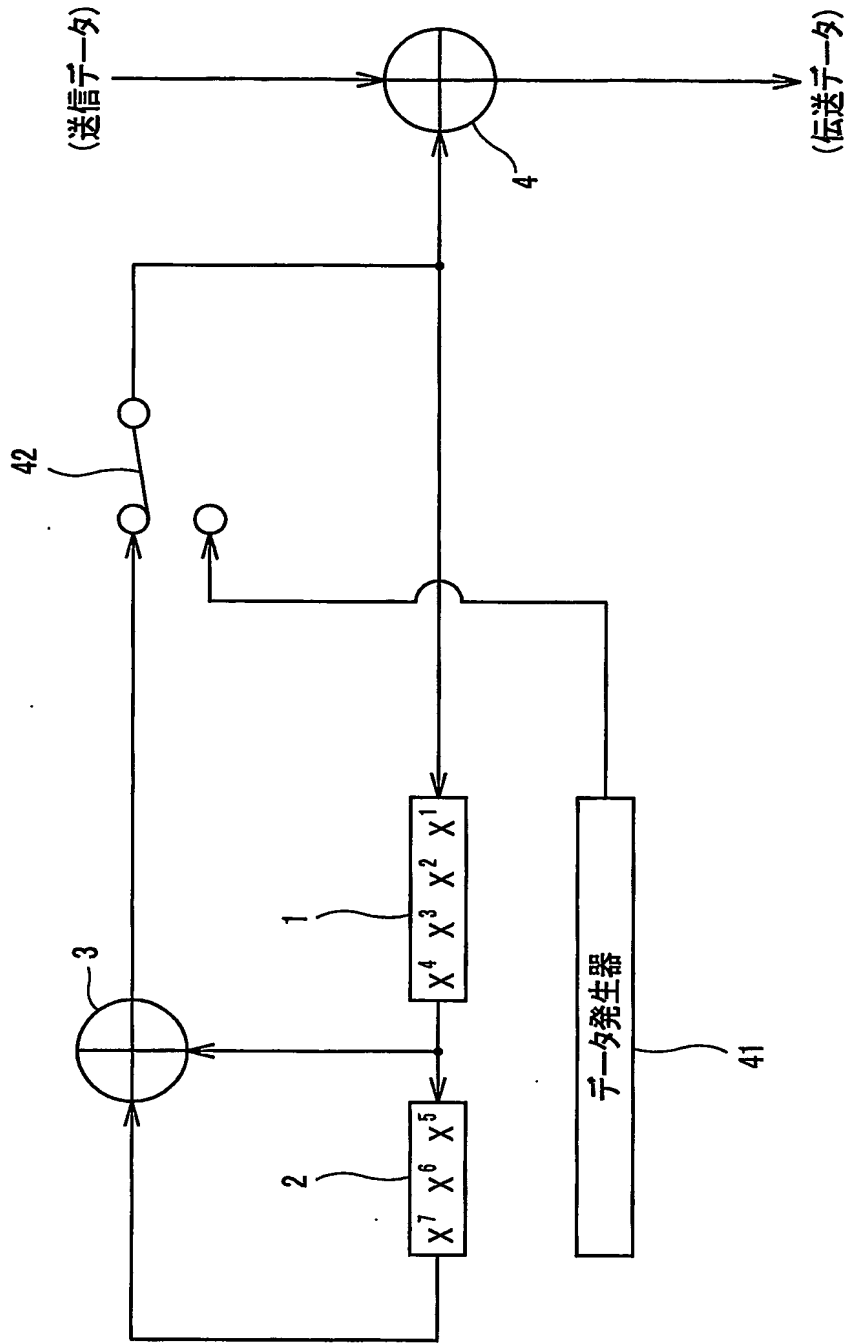


FIG.8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13436

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04L9/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04L9/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-86110 A (Toyo Communication Equipment Co., Ltd.), 30 March, 2001 (30.03.01), Par. Nos. [0013] to [0015], [0025] to [0026]; Figs. 1 to 7 (Family: none)	1-3, 5-6, 8 4, 7, 9
Y	JP 9-162859 A (Fujitsu Ltd.), 20 June, 1997 (20.06.97), Par. Nos. [0035] to [0057]; Figs. 1 to 4 & EP 778706 A & US 5787179 A & CN 1155196 A	4, 7, 9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 November, 2003 (21.11.03) Date of mailing of the international search report 09 December, 2003 (09.12.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13436

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-249333 A (Sharp Corp.), 05 October, 1990 (05.10.90), Page 3, upper left column, line 12 to page 4, lower left column, line 2; Figs. 1 to 3 (Family: none)	1-9

国際調査報告

国際出願番号 PCT/JPO3/13436

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H04L9/18

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H04L9/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-86110 A (東洋通信機株式会社) 2001.03.30, 段落番号【0013】-【0015】、【0025】-【0026】、第1-7図	1-3, 5-6, 8
Y	(ファミリーなし)	4, 7, 9
Y	JP 9-162859 A (富士通株式会社) 1997.06.20, 段落番号【0035】-【0057】、第1-4図 & EP 778706 A & US 5787179 A & CN 1155196 A	4, 7, 9
A	JP 2-249333 A (シャープ株式会社) 1990.10.05, 第3頁左上欄12行~第4頁左下欄第2行、第1-3図 (ファミリーなし)	1-9

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

21.11.03

国際調査報告の発送日

09.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中里 裕正



5M

3365

電話番号 03-3581-1101 内線 3597